

DERWENT-ACC-NO: 1999-220935

DERWENT-WEEK: 199919

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: SOI-MOSFET structure - has long and
thin gate electrode
insulating film via of equal width arranged above gate
between source drain thin semiconductor film and midway
diffusion layer

PATENT-ASSIGNEE: TOSHIBA KK[TOKE]

PRIORITY-DATA: 1997JP-0210631 (August 5, 1997)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 11054759 A		February 26, 1999	N/A
008	H01L 029/786		

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP 11054759A		N/A	
1997JP-0210631	August 5, 1997		

INT-CL (IPC): H01L021/336, H01L029/786

ABSTRACTED-PUB-NO: JP 11054759A

BASIC-ABSTRACT:

NOVELTY - A long and thin gate electrode (5) of equal width is arranged above a gate insulating film (4) via a thin semiconductor film (3) and midway between the source- drain diffusion layer (6). An electrode (8) which is connected to the gate electrode supplies voltage to the thin semiconductor film. DETAILED DESCRIPTION - An insulating film (2) is formed on a silicon

substrate (1). The thin semiconductor film is formed on the insulating film. The source-drain diffusion layer projects from the thin semiconductor film. An INDEPENDENT CLAIM is also included for SOI-MOSFET manufacturing method.

USE - None given.

ADVANTAGE - Since gate electrode is elongated, thin, thus parasitic capacitance is eliminated and switching is improved. DESCRIPTION OF

DRAWING(S) - The figure shows structure of SOI-MOSFET. (1) Silicon substrate; (2) Insulating film; (3) Thin semiconductor film; (4) Gate insulating film; (5) Gate electrode; (6) Source-drain diffusion layer; (8) Electrode.

CHOSEN-DRAWING: Dwg.1/9

DERWENT-CLASS: U12

EPI-CODES: U12-B03A; U12-D02A4;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-54759

(43) 公開日 平成11年(1999) 2月26日

(51) Int.Cl.⁶H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

6 1 7 K

6 1 7 S

6 1 8 C

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平9-210631

(22) 出願日 平成9年(1997) 8月5日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山田 敬

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 川中 繁

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

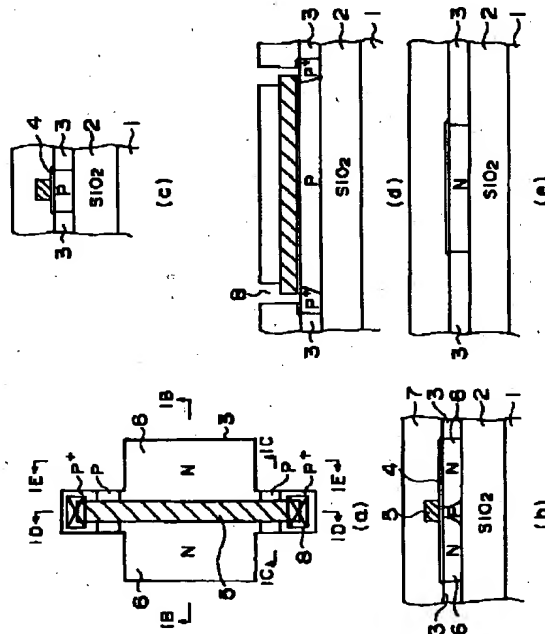
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 スイッチング特性の向上、電位降下や電位遅延による素子特性の劣化の低減を図った半導体装置を提供すること。

【解決手段】 半導体基板1と、前記半導体基板上に形成された絶縁膜2と、前記絶縁膜上に形成された半導体薄膜3と、前記半導体薄膜内に形成されたソース拡散層6及びドレイン拡散層6と、前記半導体薄膜上に絶縁層4を介して形成されたゲート絶縁膜5とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極8とを有し、前記ゲート電極は前記ソース拡散層と前記ドレイン拡散層との間の前記半導体薄膜の上部にチャネル長と垂直な方向に細長く配置されていて、その幅がほぼ一定になるように形成されている。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

前記ゲート電極は前記ソース拡散層と前記ドレイン拡散層との間の前記半導体薄膜の上部にチャンネル長と垂直な方向に細長く配置されていて、その幅がほぼ一定になるように形成されていることを特徴とする半導体装置。

【請求項2】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

ボディ電位を取り出す部分のゲート絶縁膜の膜厚が、チャンネル領域のゲート絶縁膜の膜厚よりも厚いことを特徴とする半導体装置。

【請求項3】 半導体基板と、前記半導体基板上に形成された絶縁膜と、前記絶縁膜上に形成された半導体薄膜と、前記半導体薄膜内に形成されたソース拡散層及びドレイン拡散層と、前記半導体薄膜上に絶縁層を介して形成されたゲート絶縁膜とからなる電界効果トランジスタと、前記ゲート電極に接続され前記半導体薄膜に電位を与える少なくとも1つの電極とを有する半導体装置において、

ボディ電位を取り出す部分のゲート下のボディ領域のシート抵抗が、チャンネル領域のゲート下のボディ領域のシート抵抗よりも低いことを特徴とする半導体装置。

【請求項4】 絶縁膜上に形成された半導体薄膜基板上への半導体装置の製造方法において、

前記半導体薄膜基板上にゲート絶縁膜を介してそのまわりが絶縁膜で覆われたゲート電極を形成する工程と、前記ゲート電極及びソース・ドレインチャンネル領域を規定するフォトリソパターンとをマスクとして、前記半導体薄膜をエッチング除去して素子領域を形成する工程と、を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に、SOI (Silicon On Insulator) を用いたMOS電界効果トランジスタ及びその製造方法、に関する。

【0002】

【従来の技術】 絶縁物である酸化シリコンなどの上に形成されたシリコンなどからなる半導体薄膜の表面をチャンネルとするMOS電界効果トランジスタ（以下、「SOI-MOSFET」と称する）は、シリコン基板表面をチャンネルとするバルクMOSFETに比べて、短チャンネル効果に強く、寄生接合容量（単に、「寄生容量」と称する場合もある）が小さいことから回路のスイッチング速度が速くなるなどの利点がある。しかしながら、通常、ボディ（薄膜SOI-MOSFETでは、個々のチャンネルが形成される素子領域が分離されるため、これを「ボディ」と称する）には電極を接続せずに浮遊電位のまま動作させているが、この場合、チャンネルのキャリアがドレイン端でインパクトイオン化して発生した多数キャリアがボディに蓄積してボディ電位が変動し、その結果SOI-MOSFETの特性が変動するという欠点があった。

【0003】これに対して、ボディに電位を与える電極を形成したボディコンタクト付SOI-MOSFETでは、多数キャリアがボディ電極から引き抜かれ、ボディの電位が安定するため、いわゆる基板浮遊効果の問題は起こらない。また、ボディ電極を例えばゲート電極と短絡させた構造（以下、「ゲートーボディ短絡型」と称する）により、ボディ電位を動的に制御させることにより、オン時のしきい値を低下させてドレイン電流を増大させ、オフ時のしきい値を増大させてリーク電流を低下することができるので、従来に対して大幅にスイッチング特性を向上させることができる。

【0004】図9は、典型的なボディコンタクト付SOI-MOSFET（n型MOSの場合）を示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の9B-9B断面図、9C-9C断面図、9D-9D断面図及び9E-9E断面図である。なお、図9において、ソース・ドレイン6へのコンタクトは省略しており、図はゲート5上とボディ3へのコンタクト8'を開口したところを示している。例えばこの後、両コンタクト部を同一配線で短絡させることにより、ゲートーボディ短絡型となる。

【0005】しかしながら、図9に示すような、ボディコンタクト付SOI-MOSFETでは、ゲート電極をH型にして、ソース・ドレイン領域とチャンネル部からのボディ引き出し領域を分離させていた。このため、平面パターンに点線で示した領域で、ソース・ドレインとボディ領域間の接合容量、あるいはソース・ドレイン領域とゲート間のオーバーラップ容量などの寄生容量1の増大、また、寄生容量2で示したH型にしたことで増大したゲート電極の面積増大分のゲート容量の増大、あるいはチャンネル下のボディ領域からボディ領域へのコンタクト形成領域までの寄生抵抗等により、充分な性能を引き出すことが出来なかった。

50 【0006】

【発明が解決しようとする課題】上記のように、従来は、ソース・ドレイン領域とゲート間の寄生容量の増加等によりトランジスタの性能を充分引き出すことができなかった。本発明は、上記の事情を考慮してなされたもので、その目的は、スイッチング特性の向上、電位降下や電位遅延による素子特性の劣化の低減を図った半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を講じた。本発明では、ボディコンタクト付SOI-MOSFETの寄生容量や寄生抵抗を低減させるためのもので、ポイントとしては、以下のようにしたことを特徴としている。

(1) ゲート電極のパターンを直線的なI型にすること。このように、ゲート電極が直線的になったことで、ソース・ドレイン拡散層とボディあるいはゲートとの寄生容量1が原理的に無くなり、寄生容量が大幅に低減し、回路のスイッチング特性が向上する。

(2) ボディコンタクト形成のためのボディ引き出し領域部のゲート絶縁膜の膜厚をチャンネルとして機能するボディ領域部のゲート絶縁膜の膜厚よりも厚くすること。このように、ボディ引き出し領域部のゲート絶縁膜の膜厚を厚くすることにより、ゲート容量を低減し、回路のスイッチング特性が向上する。

(3) ボディ引き出し領域部のボディのシート抵抗をチャンネルとして機能するボディ領域部のボディのシート抵抗よりも低くすること。このように、ボディ引き出し領域部ボディの不純物濃度を増加させるなどして選択的にシート抵抗を低下させて、ボディ電位の制御性を良くすることにより、電位降下や電位遅延による素子特性の劣化を低減できる。

【0008】

【発明の実施の形態】図面を参照して本発明の実施の形態を説明する。図1は、本発明の第1の実施形態に係る半導体装置としてのnチャンネル型、特にMOAT型のSOI-MOSFETを示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の1B-1B断面図、1C-1C断面図、1D-1D断面図及び1E-1E断面図である。

【0009】半導体基板(下地シリコンウェハ)1上には、酸化シリコン膜2と素子分離用絶縁膜3で絶縁分離されたシリコン層3' (以下、「ボディ領域」とも称する)があり、シリコン層3' 上には、ゲート絶縁膜4を介してゲート電極5が形成されている。また、シリコン層3' には、ソース・ドレイン拡散層6と、ボディとゲートへのストラップコンタクト8が形成されている。このようにしてゲート-ボディ短絡型ボディコンタクト付SOI-MOSFET (n型MOS) が構成されている。

【0010】本実施形態では、ゲート電極5のチャンネル

幅方向の幅がほぼ一定になるように直線状(すなわち、I型)に形成されている。従来では、ゲート電極の形状がH型であったため、図9に示すように、寄生容量が問題であったが、本実施形態のように、ゲート電極5の形状をI型としたことにより、ソース・ドレイン拡散層6とシリコン層3' との寄生容量が原理的に無視できるようになっている。

【0011】本実施形態に係る半導体装置の製造方法は、従来と同様で良いが、以下簡単に、本実施形態に係る半導体装置の製造方法について説明する。例えば、まず、LOCOS法やSTI法等により素子を形成するための個々の素子領域を形成する。次に、必要に応じて、トランジスタのしきい値制御のためのチャンネル不純物としてイオン注入などによりボロンをシリコン層3' に導入する。続いて、シリコン層3' の上部に酸化などによりゲート絶縁膜4を形成して、その上部にn型多結晶シリコンやその複合膜などからなるI型のゲート電極5を形成する。そして、このゲート電極5をマスクにして、イオン注入などによりシリコン層3' 内にソース・ドレイン拡散層6を形成したり、必要に応じて、ボディコンタクト形成部にp+拡散層を形成する。この場合において、ソース・ドレイン拡散層6とp+拡散層とは、図1(a)からわかるように、直接接合を形成しないようにわずかな不純物濃度(図ではp層)を介して離して形成するのが望ましい。最終的に、層間絶縁膜7やボディコンタクト8、および図示しない配線を形成して素子の主要な部分が完成する。

【0012】なお、上記実施形態において、ボディコンタクト8は、ストラップコンタクトとなっており、このようにコンタクトを形成することによって、ボディ領域とのコンタクトを最小パターン(最小デザインルール)で形成することができる。また、図1では、ボディコンタクト8を2ヶ所としているが、ボディ電位の遅延が問題とならなければ、この必要はなく、1ヶ所のみでも良い。

【0013】図2は、本発明の第2の実施形態に係る半導体装置としてのnチャンネル型SOI-MOSFETを示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の2B-2B断面図、2C-2C断面図、2D-2D断面図及び2E-2E断面図である。本実施形態では、第1の実施形態において、ボディ電位引き出し領域のゲート絶縁膜4' がチャンネル部のゲート絶縁膜4よりも厚く形成されている。本実施形態のように、ボディ電位引き出し領域のゲート絶縁膜4' をチャンネル部のゲート絶縁膜4よりも厚くすることは、この部分にあらかじめ選択的に堆積や酸化或いは溝を形成してからの埋め込みによりシリコン酸化膜などの厚い絶縁膜を形成しておくことで容易に実現できる。このように、ボディ電位引き出し領域のゲート絶縁膜4' をチャンネル部のゲート絶縁膜4よりも厚くすることにより、ボディ

電位引き出し領域の寄生容量を低減できる。また、図2においては、ゲート電極5の形状を第1の実施形態と同様にI型としたが、従来と同様のH型の形状であっても、寄生容量を低減できる。

【0014】図2の半導体装置の製造方法としてのゲート先作り法について図3を参照して説明する。まず、体積や酸化により形成したシリコン酸化膜層をフォトリソにより選択的に残させる。MOAT法や、溝を形成してシリコン酸化膜を埋め込むSTI法や、LOCOS法などにより厚いシリコン酸化膜4'を形成する(図3(a))。次に、シリコン酸化膜4'下部及びチャネル部へのイオン注入を行い、ボディ電位引き出し領域の低抵抗化及びチャネル部のしきい値の調整等を行う。続いて、ゲート酸化膜4を形成して、その上部にゲート電極5を形成する(図3(b))。ゲート電極の上部には、シリコンちっかまやシリコン酸化膜などを積層した構造とする。こうすることで、後工程で素子領域の加工時に用いるシリコンのドライエッチングからゲート電極を保護できる。続いて、図3(c)に示すように、ソース・ドレイン拡散層6を形成した後に、メサ型の素子分離20を行うことにより、素子が完成する。この場合、ゲート電極形成後、まずLDDn⁺拡散層を形成した後に、シリコン酸化膜やシリコン窒化膜などをゲート電極のゲート電極の側壁に残すように形成し、ソース・ドレインのn⁺拡散層形成を行う。LDDn⁺拡散層とソース・ドレインn⁺拡散層の形成方法としては、従来のようなイオン注入を、後に素子領域となる領域を少なくとも囲むようなパターンのフォトリソをマスクに行う。

【0015】この後、ゲート電極5と、厚いシリコン酸化膜4'以外の領域のシリコン基板の表面を露出させた状態で、シリコンを選択的にエッチングするドライエッチングを行うことで、素子領域を形成する。このとき、素子領域を形成するためのフォトリソのパターンは、例えば、図3(c)の斜線のようにする。なお、図3(d)、図3(e)はそれぞれ図3(c)の3D-3D、3E-3E断面図である。結果として、まわりをシリコン酸化膜やシリコン窒化膜で覆われたゲート電極5とシリコン酸化膜4'と本フォトリソのパターンのORをとった領域以外のシリコン基板がエッチングされ、図3(c)の太線で示したような素子領域が残ることになる。なお、この場合において、図2では、ボディコンタクト8を形成しているが、ボディコンタクトは、とらなくても構わない。また、図3(b)において、ゲートは直線状になっているが、直線状に限らず、任意の形状とすることができる。つまり、通常のボディをフローティングで用いるタイプのSOI素子にも適用可能である。

【0016】上記のように、素子分離を行う前にゲート電極を形成するゲート先作り方式によれば、従来の最もシンプルな分離法であるメサ分離の素子特性を劣化させ

る問題点を解決することができ、シンプルで高性能な素子分離が可能となる。具体的には、図4(図4(b)及び図4(c))は図4(a)のそれぞれ4B-4B、4C-4C断面図)に示すように、従来では、シリコン層エッジの上部コーナー部でのゲート耐圧の劣化や寄生トランジスタのリークの問題、シリコン層の段差によるゲート材の加工残りの問題等を本製造方法によればゲートを形成した後に素子領域となるシリコン層を加工するため、シリコン層のコーナーや段差とゲート電極にまつわる上記問題点は全く生じることはない。特に、MOAT型では、下部のシリコン層の膜厚が確保できるので、ボディ電位の伝わり性が良くなり、安定した素子特性が得られる。

【0017】また、本製造方法を適用して、キャパシタ付きのトランジスタも容易に製造することができる。この場合特に有効なのは、キャパシタ領域がゲート電極に対してセルフアラインで形成できることで、このことにより、素子の微細化に対しても有効なプロセスといえる。なお、従来では、あらかじめキャパシタとなる素子領域を形成しておき、その領域をオーバーラップさせるような大きなパターンのゲート電極で覆うことになり、微細化が困難であった。図5(a)にその平面図を示し、(b)にその等化回路を示す。なお、図5に示す素子の製造方法は、図3と同様であるので、詳細な説明は省略する。また、ボディへのコンタクトを形成しない通常のSOI-MOSFETとしては図6(図6(b)及び図6(c))は図6(a)のそれぞれ6B-6B、6C-6C断面図)に示すように、はじめに形成する厚いゲート絶縁膜は、必ずしも必要とはならない。チャネルイオン注入後、すなわち、いきなりゲート電極を形成して、このゲート電極と図に示すような(斜線)フォトリソをマスクに素子領域をエッチングする。このときのエッチング法として等方性のドライエッチングを用いるとゲート長が微細な場合は、フォトリソパターンからはずれた領域のゲート電極化のシリコン層もエッチング除去され、余分な寄生容量を削減できる。

【0018】また、ボディ電位取り出し領域のボディ領域の抵抗を低減させる方法として、本発明(図2参照)のような、厚いゲート絶縁膜4'の構造が効果的である。その理由は以下の通りである。チャネル部は、しきい値が増大してしまうため、特に表面付近の不純物濃度は濃くできない。従って、不純物をイオン注入する場合、そのピーク濃度が酸化シリコン膜2との界面付近に深くなるようにする必要がある。この時、ボディ引き出し領域のゲート絶縁膜4'が厚いため、この部分のピーク深さは薄膜シリコン層の中央付近に浅めに設定することができる。この場合、深めのチャネル部では、多くの不純物が下地シリコン酸化膜中に捕らわれるのに対し、ボディ電位引き出し領域の場合は、ほとんどが、ボディ領域に導入されるため、高濃度となり、シート抵抗が低

7

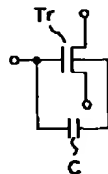
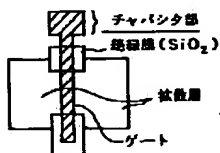
減できる。この場合、ゲート絶縁膜4'の膜厚が厚い場合、図7(a)に示すように、ボディ電位引き出し領域へのイオン注入が、ほとんどゲート絶縁膜4'に注入されてしまう。このような場合は、図7(b)に示すように、ゲート絶縁膜4'下のシリコン層に注入される深さのイオン注入を別途行うことで、今度はチャネル部は通り抜けて、しきい値には影響せずにボディの抵抗を下げることができる。

【0019】図8は、本発明の第3の実施形態に係る半導体装置を示す図であって、(a)は平面図、(b)～(e)はそれぞれ、(a)の3B-3B断面図、3C-3C断面図、3D-3D断面図及び3E-3E断面図である。本実施形態では、ゲート電極を例えばn型多結晶シリコンからなる第1のゲート電極5-1とWSiからなる第2のゲート電極5-2との複合膜から構成させ、ボディ電位引き出し領域の第1のゲート電極5-1をエッチング除去している。その後、層間絶縁膜7などを、第2のゲート電極5-2と薄膜シリコンとの間に堆積するなどして、この部分のゲート絶縁膜4、4'が厚くなる。あるいは、この層間絶縁膜7などのカバレッジが不十分で空洞ができて構わない。この場合には、比誘電率が1に近いガスがゲート絶縁膜4'の一部になることで、さらに容量低減効果が増大する。あるいは、さらに変形して、図1や図2の実施形態において、ゲート電極形成後に、ボディ電位引き出し領域のゲート絶縁膜をHFなどのウェットエッチングなどにより、選択除去して、ゲート絶縁膜のかわりにガスを密封しても良い。本発明は、上記の発明の実施の形態に限定されるものではなく、本発明の要旨を変更しない範囲で種々変形して実施できるのは勿論である。

【0020】

【発明の効果】本発明によれば次のような効果が得られる。ゲート電極が直線になったことで、ソース・ドレイン拡散層とボディあるいはゲートとの寄生容量が原理的に無くなり、寄生容量が大幅に低減し、回路のスイッチング特性が向上する。

【図5】



8

【0021】ボディ引き出し領域部のゲート絶縁膜の膜厚を厚くすることにより、ゲート容量を低減し、回路のスイッチング特性が向上する。ボディ引き出し領域部ボディの不純物濃度を増加させるなどして選択的にシート抵抗を低下させて、ボディ電位の制御性を良くすることにより、電位降下や電位遅延による素子特性の劣化を低減できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る半導体装置を示す図。

【図2】 本発明の第2の実施形態に係る半導体装置を示す図。

【図3】 本発明に係る半導体装置の製造方法を説明するための図。

【図4】 従来の半導体装置の製造方法を示す図。

【図5】 本発明に係る半導体装置の製造方法を説明するための図。

【図6】 本発明に係る半導体装置の製造方法を説明するための図。

【図7】 本発明に係る半導体装置の製造方法を説明するための図。

【図8】 本発明の第3の実施形態に係る半導体装置を示す図。

【図9】 典型的なボディコンタクト付SOI-MOSFET(n型MOSの場合)を示す図。

【符号の説明】

1…半導体基板(下地シリコンウェハ)

2…酸化シリコン膜

3…素子分離用絶縁膜

3'…シリコン層(ボディ領域)

4、4'…ゲート絶縁膜

5…ゲート電極

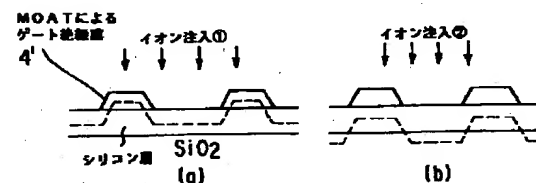
6…ソース・ドレイン拡散層

7…層間絶縁膜

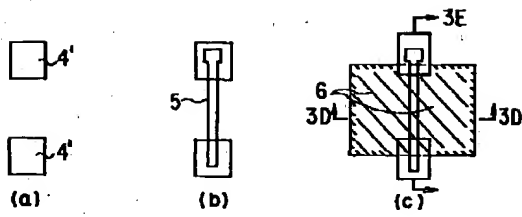
8…ストラップコンタクト

8'…ボディへのコンタクト

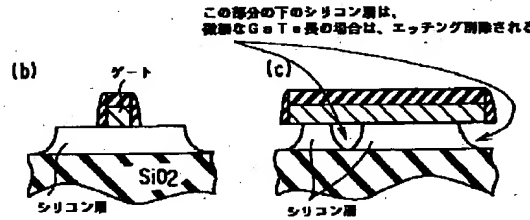
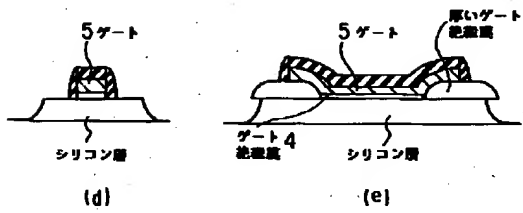
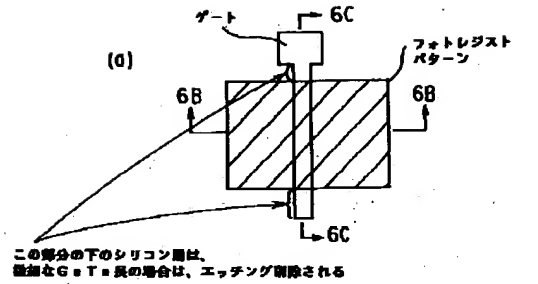
【図7】



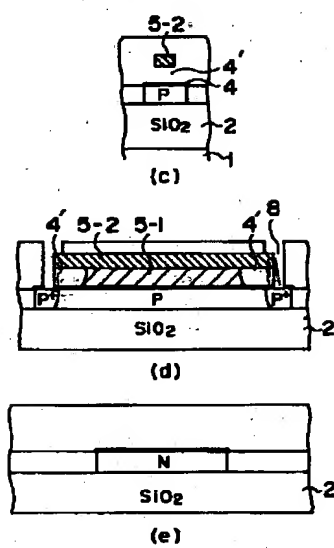
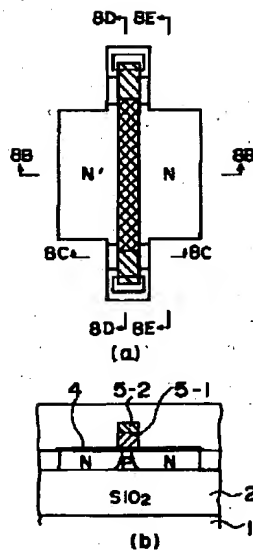
【図3】



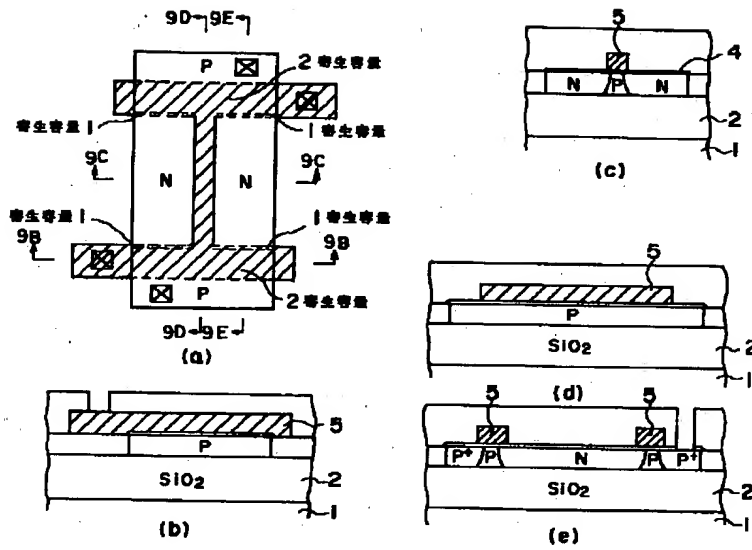
【図6】



【図8】



【図9】



PAT-NO: JP411054759A

DOCUMENT-IDENTIFIER: JP 11054759 A

TITLE: SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE

PUBN-DATE: February 26, 1999

INVENTOR-INFORMATION:
NAME
YAMADA, TAKASHI
KAWANAKA, SHIGERU

ASSIGNEE-INFORMATION:
NAME
TOSHIBA CORP

COUNTRY
N/A

APPL-NO: JP09210631

APPL-DATE: August 5, 1997

INT-CL (IPC): H01L029/786, H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce parasitic capacitance of a source and drain diffusion layers with a body or gate sharply, and to improve the switching characteristic of a circuit, by forming the pattern of the gate electrode in lin.

SOLUTION: On a semiconductor substrate 1, a silicon layer insulated and separated by a silicon oxide film 2 and an element separating insulating film 3 exists, and on the silicon layer a gate electrode 5 is formed with a gate insulating film 4 between. Besides, in the silicon layer,

a source and a drain diffusion layers 6 and a strap contact 8 to a body and the gate are formed. In this way, a gate-body short-circuited SOI-MOSFET with a body contact is constituted. And a gate electrode 5 is formed linearly so that the width in the direction of its channel width may be approximately equal, i.e., formed into an I shape. Consequently, it becomes possible to ignore parasitic capacitance of the source and drain layers with the silicon layer principally, and to improve the switching characteristic of a circuit.

COPYRIGHT: (C)1999,JPO

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a semiconductor device, the metal oxide silicon field effect transistor using SOI (Silicon On Insulator), and its manufacture approach especially.

[0002]

[Description of the Prior Art] Since it is strong to a short channel effect and the parasitism junction capacitance ("parasitic capacitance" may only be called) is small compared with the bulk MOSFET which uses a silicon substrate surface as a channel, the metal oxide silicon field effect transistor ("SOI-MOSFET" is called hereafter) which uses as a channel the front face of the semi-conductor thin film which consists of silicon formed on the silicon oxide which is an insulating material has an advantage, like the switching rate of a circuit becomes quick. however, although it be made to usually operate with floating potential, without connect an electrode to the body (this be call the "body" in thin film SOI-MOSFET since the component field in which each channel be form be separate), there be a fault of the majority carrier which the carrier of a channel carried out [the majority carrier] impact ionization and generated at the drain edge in this case having been accumulated in the body, having change body potential, and as a result having change the property of SOI-MOSFET.

[0003] On the other hand, in SOI-MOSFET with body contact in which the electrode which gives potential to the body was formed, since a majority carrier is drawn out from a body electrode and the potential of the body is stabilized, the so-called problem of the substrate suspension effectiveness does not arise. Moreover, since the threshold at the time of ON is reduced, a drain current can be increased, the threshold at the time of OFF can be increased and leakage current can be fallen by making body potential control dynamically according to the structure (a "gate-body short circuit mold" is called hereafter) where the body electrode was short-circuited for example, with the gate electrode, a switching characteristic can be sharply raised to the former.

[0004] Drawing 9 is drawing showing typical SOI-MOSFET with body contact (in the case of the n mold MOS), (a) is a top view and (b) - (e) is the 9B-9B sectional view of (a), a 9C-9C sectional view, a 9D-9D sectional view, and a 9E-9E sectional view, respectively. In addition, in drawing 9, the contact to the source drain 6 is omitted and drawing shows the place which carried out opening of contact 8' to the body 3 the gate 5 top. For example, it becomes a gate-body short circuit mold by short-circuiting both the contact section with the same wiring after this.

[0005] However, the gate electrode was used as H mold and the source drain field and the body drawer field from the channel section were made to separate in SOI-MOSFET with body contact as shown in drawing 9. In the field shown in the flat-surface pattern by the dotted line, for this reason, the junction capacitance between a source drain and a body field, Or increase of the parasitic capacitance 1, such as overlap capacity between a source drain field and the gate, Moreover, increase of the gate capacitance for area increase of the gate electrode which increased by having made it H mold shown with parasitic capacitance 2, or the parasitism resistance to the contact formation field from a body field to the body field under a channel was not able to draw out sufficient engine performance.

[0006]

[Problem(s) to be Solved by the Invention] As mentioned above, the increment in the parasitic capacitance between a source drain field and the gate etc. was not able to draw out the engine performance of a transistor enough conventionally. This invention was made in consideration of the above-mentioned situation, and the purpose aims it at offering the semiconductor device which aimed at improvement in a switching characteristic, and reduction of degradation of the component property by fall of potential or potential delay.

[0007]

[Means for Solving the Problem] This invention provided the following means, in order to solve the above-mentioned technical problem. In this invention, it is for reducing the parasitic capacitance of SOI-MOSFET with body contact, and parasitism resistance, and is characterized by things as the point having made it be the following.

(1) Make the pattern of a gate electrode into a linear I-beam. Thus, the parasitic capacitance 1 with a source drain diffusion layer, the body, or the gate is lost theoretically, parasitic capacitance decreases sharply, and the switching characteristic of a circuit improves because the gate electrode became linear.

(2) Make thickness of the gate dielectric film of the body drawer field section for body contact formation thicker than the thickness of the gate dielectric film of the body field section which functions as a channel. Thus, by thickening thickness of the gate dielectric film of the body drawer field section, gate capacitance is reduced and the switching characteristic of a

circuit improves.

(3) Make sheet resistance of the body of the body drawer field section lower than the sheet resistance of the body of the body field section which functions as a channel. Thus, degradation of the component property by fall of potential or potential delay can be reduced by making the high impurity concentration of the body drawer field section body increase, reducing sheet resistance alternatively, and improving the controllability of body potential.

[0008]

[Embodiment of the Invention] The gestalt of operation of this invention is explained with reference to a drawing. Drawing 1 is drawing showing SOI-MOSFET of the n channel mold as a semiconductor device concerning the 1st operation gestalt of this invention, especially a MOAT mold, (a) is a top view and (b) - (e) is the 1B-1B sectional view of (a), a 1C-1C sectional view, a 1D-1D sectional view, and a 1E-1E sectional view, respectively.

[0009] On the semi-conductor substrate (substrate silicon wafer) 1, silicon layer 3' (it is also hereafter called a "body field") by which insulating separation was carried out by the silicon oxide film 2 and the insulator layer 3 for isolation is, and the gate electrode 5 is formed through gate dielectric film 4 on silicon layer 3'. Moreover, the source drain diffusion layer 6, and the body and the strap contact 8 to the gate are formed in silicon layer 3'. Thus, SOI-MOSFET with gate-body short circuit mold body contact (n mold MOS) is constituted.

[0010] With this operation gestalt, it is formed in the shape of a straight line (namely, I-beam) so that the width of face of the channel width direction of the gate electrode 5 may become almost fixed. Although parasitic capacitance was a problem in the former as shown in drawing 9 since the configuration of a gate electrode was H mold, it has become by having made the configuration of the gate electrode 5 into the I-beam like this operation gestalt as [ignore / the parasitic capacitance of the source drain diffusion layer 6 and silicon layer 3' / theoretically].

[0011] Although the manufacture approach of the semiconductor device concerning this operation gestalt may be the same as usual, it explains the manufacture approach of the semiconductor device concerning this operation gestalt briefly below. For example, each component field for forming a component by the LOCOS method, the STI method, etc. is formed first. Next, boron is introduced into silicon layer 3' by an ion implantation etc. as a channel impurity for threshold control of a transistor if needed. Then, gate dielectric film 4 is formed in the upper part of silicon layer 3' by oxidation etc., and the gate electrode 5 of an I-beam which consists of n mold polycrystalline silicon, its bipolar membrane, etc. is formed in the upper part. And this gate electrode 5 is used as a mask, the source drain diffusion layer 6 is formed in silicon layer 3' by an ion implantation etc., or p+ diffusion layer is formed in the body contact formation section if needed. In this case, it is desirable to detach and form through eddy high impurity concentration (drawing p layers) so that direct junction may not be formed so that it may turn out to be the source drain diffusion layer 6 and p+ diffusion layer from drawing 1 (a). Finally, an interlayer insulation film 7, the body contact 8, and wiring that is not illustrated are formed, and parts with a main component are completed.

[0012] In addition, in the above-mentioned operation gestalt, the body contact 8 is strap contact and can form contact to a body field by the minimum pattern (the minimum design rule) by forming contact in this way. Moreover, in drawing 1, although body contact 8 is made into two places, if delay of body potential does not pose a problem, this need does not exist and that of one place is good.

[0013] Drawing 2 is drawing showing n channel mold SOI-MOSFET as a semiconductor device concerning the 2nd operation gestalt of this invention, (a) is a top view and (b) - (e) is the 2B-2B sectional view of (a), a 2C-2C sectional view, a 2D-2D sectional view, and a 2E-2E sectional view, respectively. With this operation gestalt, gate-dielectric-film 4' of a body potential drawer field is formed in the 1st operation gestalt more thickly than the gate dielectric film 4 of the channel section. Like this operation gestalt, it is easily realizable by forming the thick insulator layer of silicon oxide **** by the embedding after forming deposition, oxidation, or a slot in this part alternatively beforehand to make gate-dielectric-film 4' of a body potential drawer field thicker than the gate dielectric-film 4 of the channel section. Thus, the parasitic capacitance of a body potential drawer field can be reduced by making gate-dielectric-film 4' of a body potential drawer field thicker than the gate dielectric film 4 of the channel section. Moreover, in drawing 2, although the configuration of the gate electrode 5 was made into the I-beam like the 1st operation gestalt, even if it is the configuration of the same H mold as usual, parasitic capacitance can be reduced.

[0014] The gate point making method as the manufacture approach of the semiconductor device of drawing 2 is explained with reference to drawing 3. First, the silicon oxidization membrane layer formed by the volume or oxidization is made to leave alternatively by the photoresist. MOAT -- law, the STI method which forms a slot and embeds silicon oxide, and LOCOS -- thick silicon oxide 4' is formed by law etc. (drawing 3 (a)). Next, the ion implantation to the silicon oxide 4' lower part and the channel section is performed, and reduction in resistance of a body potential drawer field, adjustment of the threshold of the channel section, etc. are performed. Then, gate oxide 4 is formed and the gate electrode 5 is formed in the upper part (drawing 3 (b)). It considers as silicon **** or the structure which wound or carried out the laminating of the silicon oxide etc. in the upper part of a gate electrode. By carrying out like this, a gate electrode can be protected from the dry etching of the silicon used at a back process at the time of processing of a component field. Then, as shown in drawing 3 (c), after forming the source drain diffusion layer 6, a component is completed by performing isolation of a mesa mold. In this case, after gate electrode formation, after forming a LDDn-diffusion layer first, it forms so that it may leave silicon oxide, a silicon nitride, etc. to the side attachment wall of the gate electrode of a gate electrode, and n+ diffusion layer formation of a source drain is performed. The photoresist of a pattern which surrounds at least the field which turns into a component field in an ion implantation like before as the formation approach of a LDDn-diffusion layer and a source drain n+ diffusion layer behind is performed on a mask.

[0015] Then, a component field is formed by performing dry etching which etches silicon alternatively, where the front face of the silicon substrate of the gate electrode 5 and fields other than thick silicon oxide 4' is exposed. At this time, the pattern of the photoresist for forming a component field is carried out like the slash of drawing 3 (c). In addition, drawing 3 (d) and drawing 3 (e) are 3D-3D of drawing 3 (c), and a 3E-3E sectional view, respectively. Silicon substrates other than the field which took as a result OR of the pattern of the gate electrode 5 and silicon oxide 4' which were covered by silicon oxide or the silicon nitride in the surroundings, and this photoresist will be etched, and a component field as shown by the thick wire of drawing 3 (c) will remain. In addition, in this case, by drawing 2, although the body contact 8 is formed, body contact may not be taken. Moreover, in drawing 3 (b), although the gate has become straight line-like, it can consider as the configuration of not only the shape of a straight line but arbitration. That is, it is applicable also to the silicon-on-insulator desubstrate of a type which uses the usual body by floating.

[0016] As mentioned above, before performing isolation, according to the gate point making-method which forms a gate electrode, the trouble of degrading the component property of the mesa separation which is the conventional simplest separation method can be solved, and simple and highly efficient isolation becomes possible. As shown in drawing 4 (a) is 4B-4B and a 4C-4C sectional view, respectively for drawing 4 (b) and drawing 4 (c), specifically in the former Degradation of gate pressure-proofing in the up corner section of a silicon layer edge, and the problem of leak of a parasitic transistor, In order to process the silicon layer used as a component field after forming the gate according to this manufacture approach for the problem of the processing remainder of the gate material by the level difference of a silicon layer etc., the above-mentioned trouble which coils round the corner, level difference, and gate electrode of a silicon layer is not produced at all. Especially, in a MOAT mold, since the thickness of a lower silicon layer is securable, the propagation nature of body potential becomes good and the stable component property is acquired.

[0017] Moreover, this manufacture approach can be applied and a transistor with a capacitor can also be manufactured easily. In this case, especially an effective thing is that a capacitor field can form by the self aryne to a gate electrode, and can be called effective process also to detailed-izing of a component by this. In addition, in the former, the component field which serves as a capacitor beforehand was formed, it will cover with the gate electrode of a big pattern which the field is made to overlap, and detailed-izing was difficult. The top view is shown in drawing 5 (a), and the equalizing circuit is shown in (b). In addition, since the manufacture approach of the component shown in drawing 5 is the same as that of drawing 3, detailed explanation is omitted. Moreover, as shown in drawing 6 (a) is 6B-6B and a 6C-6C sectional view, respectively for drawing 6 (b) and drawing 6 (c) as usual SOI-MOSFET which does not form the contact to the body, the thick gate dielectric film formed first is not necessarily necessary. After a channel ion implantation, a gate electrode is formed suddenly and a component field is etched into a mask for a photoresist as (slash) shown in this gate electrode and drawing. If isotropic dry etching is used as a method of etching at this time, when gate length is detailed, from a photoresist pattern, etching removal is carried out and the silicon layer of the formation of a gate electrode of the field shifted can also reduce excessive parasitic capacitance.

[0018] Moreover, structure of thick gate-dielectric-film 4' like this invention (refer to drawing 2) is effective as an approach of reducing resistance of the body field of a body potential ejection field. The reason is as follows. Since, as for the channel section, a threshold increases, especially high impurity concentration near a front face is not made deeply. Therefore, when carrying out the ion implantation of the impurity, it is necessary to make it the peak concentration become deep near an interface with the silicon oxide film 2. At this time, since it is thick, gate-dielectric-film 4' of a body drawer field can set up the peak depth of this part near the center of a thin film silicon layer more shallowly. In this case, in the deeper channel section, since most is introduced into a body field to many impurities being captured into substrate silicon oxide in the case of a body potential drawer field, it becomes high concentration and sheet resistance can be reduced. In this case, when the thickness of gate-dielectric-film 4' is thick, as shown in drawing 7 (a), the ion implantation to a body potential drawer field will almost be poured into gate-dielectric-film 4'. In such a case, as shown in drawing 7 (b), by performing separately the ion implantation of the depth injected into the silicon layer under gate-dielectric-film 4', shortly, it can be passed through the channel section and it can lower resistance of the body to a threshold, without influencing.

[0019] Drawing 8 is drawing showing the semiconductor device concerning the 3rd operation gestalt of this invention, (a) is a top view and (b) - (e) is the 3B-3B sectional view of (a), a 3C-3C sectional view, a 3D-3D sectional view, and a 3E-3E sectional view, respectively. With this operation gestalt, a gate electrode is made to constitute from bipolar membrane with the 2nd gate electrode 5-2 which consists of the 1st gate electrode 5-1 and WSi which consists of n mold polycrystalline silicon, and etching removal of the 1st gate electrode 5-1 of a body potential drawer field is carried out. Then, an interlayer insulation film 7 etc. is deposited between the 2nd gate electrode 5-2 and **** silicon, and the gate dielectric film 4 of this part and 4' become thick. Or coverage, such as this interlayer insulation film 7, may be insufficient, and a cavity may be made. In this case, the capacity reduction effectiveness increases further because gas with the specific inductive capacity near 1 becomes a part of gate-dielectric-film 4'. Or it deforms further, and in the operation gestalt of drawing 1 or drawing 2, after gate electrode formation, selection removal of the gate dielectric film of a body potential drawer field may be carried out by wet etching, such as HF, etc., and gas may be sealed instead of gate dielectric film. As for this invention, it is needless to say that it deforms variously and can carry out in the range which is not limited to the gestalt of implementation of the above-mentioned invention, and does not change the summary of this invention.

[0020]

[Effect of the Invention] According to this invention, the following effectiveness is acquired. Parasitic capacitance with a source drain diffusion layer, the body, or the gate is lost theoretically, parasitic capacitance decreases sharply, and the

switching characteristic of a circuit improves because the gate electrode became linear.

[0021] By thickening thickness of the gate dielectric film of the body drawer field section, gate capacitance is reduced and the switching characteristic of a circuit improves. Degradation of the component property by fall of potential or potential delay can be reduced by making the high impurity concentration of the body drawer field section body increase, reducing sheet resistance alternatively, and improving the controllability of body potential.

[Translation done.]